



## 描述

HR3979是一种新近开发出来、专门用于双极步进电机的微步进电机驱动集成电路，能驱动马达以全、1/2、1/4及1/16步进操作，其内部集成了步进和直接译码接口、正反转控制电路、双H桥驱动，单路输出额定值达到35V、±2.5A。

内置转换器TRANSLATOR是电路工作的关键，它使得简单的施加一个脉冲给STEP就能够方便的控制马达的步进；通过选择MS1/MS2的电平就能够使马达在全、1/2、1/4、1/16步进模式间进行切换；它减少了负载相序表、高频控制线和外部编程接口；使得电路的外部控制界面变得简洁而高效；

电路内置的固定衰减时间电流调整电路，使得马达能够在快、慢或混合模式下工作，大大减小了马达转动时的噪声，增加了马达的步进精度，同时降低了电路的功耗；

内置的同步整流电路，使得电路工作在PWM模式，减小了电路功耗；内置热关断保护电路、欠压保护电路，以及CROSSOVER电流保护电路，避免了电路对上电顺序的特殊要求；

休眠功能可以使系统不工作时的功耗达到最低。休眠时芯片的大部分内部电路，如输出 DMOS、比较器及电荷泵等都将停止工作。

## 特点

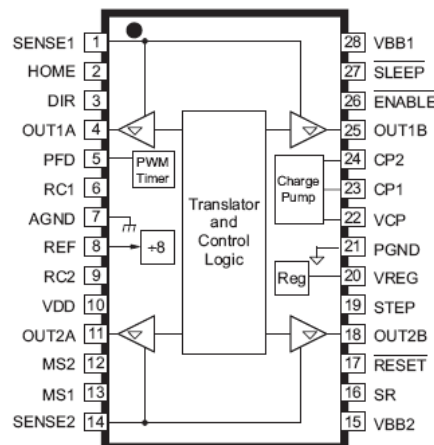
- ±2.5 A, 35 V 额定输出能力；
- $R_{DS(on)}$  : 源端0.28  $\Omega$  , 漏端0.22  $\Omega$  ；
- 混合式电流衰减控制模式；可选择快慢或混合衰减模式；
- 逻辑I/O电压范围 3.0—5.5 V；
- 全、1/2、1/4及1/16步进操作；
- 外部马达转向控制；
- Home 输出；
- 低功耗同步整流电路；
- UVLO和热关断保护电路；
- CROSSOVER电流保护电路
- 低功耗待机休眠

## 封装形式



带散热片的TSSOP28

## Pin-out Diagram



AGND and PGND must be connected together externally

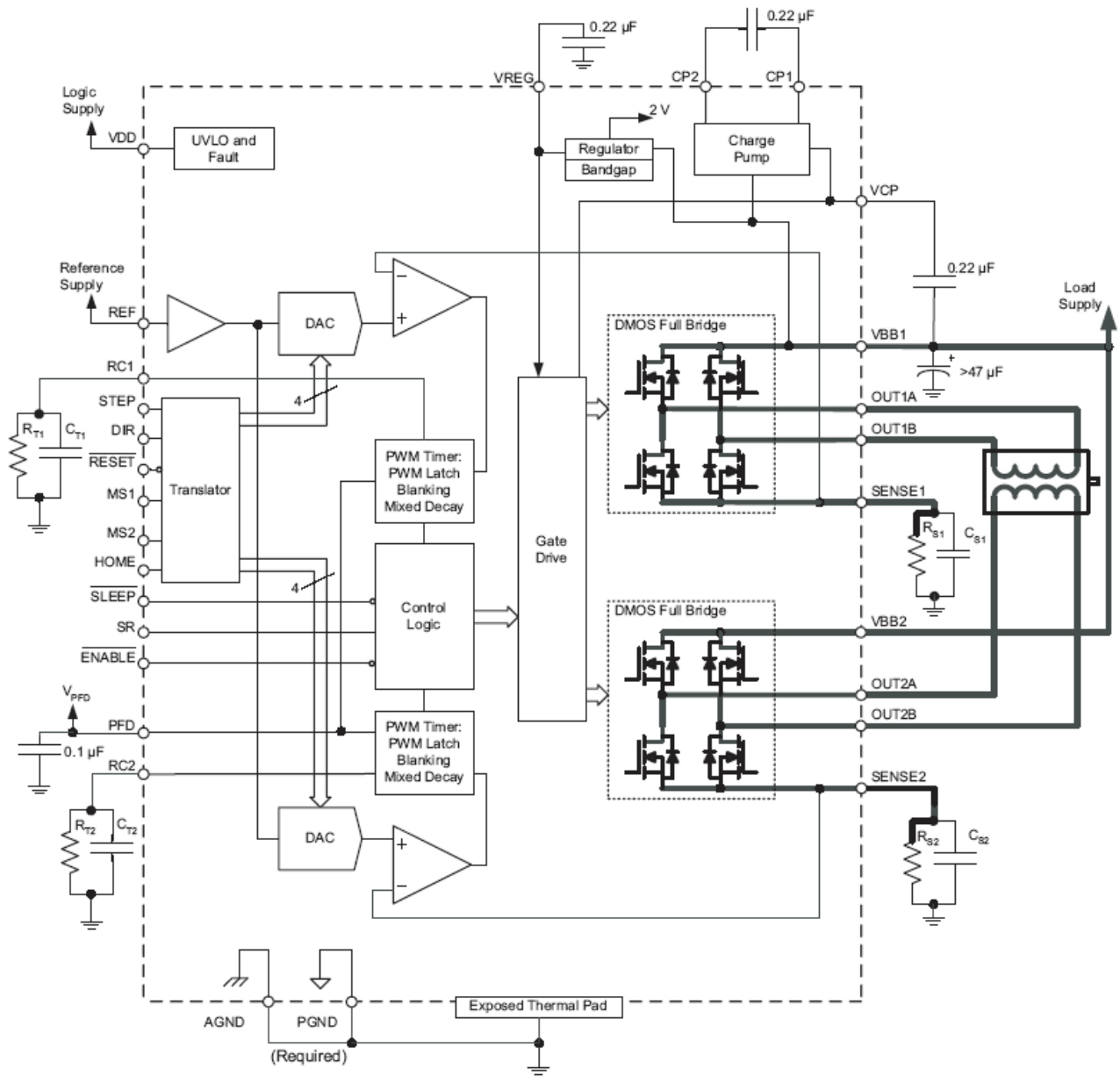
## 订购信息

Part Number	Package	Packing
HR3979	28pin TSSOP with exposed thermal pad	4000 pieces per reel

## 电路工作极限

Characteristic	Symbol	Notes	Rating	Units
电源电压	$V_{BB}$		35	V
控制电路电源电压	$V_{DD}$		7.0	V
输出电流	$I_{OUT}$	输出电流大小受占空比、环境温度、封装散热等因素影响；不论在何种情况下，不要超过规范指定的额定值使用，并保证电路的结温不能超过150°C	±2.5	A
逻辑控制电路电压	$V_{IN}$	$t_W > 30\text{ ns}$	-0.3 to $V_{DD} + 0.3$	V
		$t_W < 30\text{ ns}$	-1 to $V_{DD} + 1$	
采样电压	$V_{SENSEx}$		0.5	V
输入参考电压	$V_{REF}$		$V_{DD}$	V
工作环境温度	$T_A$	Range S	-20 to 85	°C
工作结温	$T_J(\text{max})$		150	°C
存储温度	$T_{stg}$		-55 to 150	°C

电路结构框图



电特性, 均在  $T_A = 25^\circ\text{C}$ ,  $V_{BB} = 35\text{V}$ ,  $V_{DD} = 3.0$  to  $5.5\text{V}$  时测定, 除非特殊说明。

Characteristics	Symbol	Test Conditions	Min.	Typ. <sup>1</sup>	Max.	Units
<b>输出驱动</b>						
电机电源电压范围	$V_{BB}$	Operating	8.0	-	35	V
		During Sleep Mode	0	-	35	V
输出漏电源 <sup>2</sup>	$I_{DSS}$	$V_{OUT} = V_{BB}$	-	<1.0	20	$\mu\text{A}$
		$V_{OUT} = 0\text{V}$	-	<1.0	-20	$\mu\text{A}$
导通电阻	$R_{DS(on)}$	Source driver, $I_{OUT} = -2.5\text{A}$	-	280	335	$\text{m}\Omega$
		Sink driver, $I_{OUT} = 2.5\text{A}$	-	220	265	$\text{m}\Omega$
体二极管导通电压	$V_F$	Source driver, $I_{OUT} = -2.5\text{A}$	-	-	1.4	V
		Sink driver, $I_{OUT} = 2.5\text{A}$	-	-	1.4	V
马达电源电流	$I_{BB}$	$f_{PWM} < 50\text{kHz}$	-	-	8.0	$\text{mA}$
		Operating, outputs disabled	-	-	6.0	$\text{mA}$
		Sleep mode	-	-	20	$\mu\text{A}$
<b>控制逻辑</b>						
逻辑电源电压范围	$V_{DD}$	Operating	3.0	5.0	5.5	V
逻辑电源电流	$I_{DD}$	$f_{PWM} < 50\text{kHz}$			12	$\text{mA}$
		Outputs off			10	$\text{mA}$
		Sleep mode			20	$\mu\text{A}$
逻辑输入电压	$V_{IN(1)}$		$0.7 \times V_{DD}$	-	-	V
	$V_{IN(0)}$		-	-	$0.3 \times V_{DD}$	V
逻辑输入漏电流 <sup>2</sup>	$I_{IN}$	$V_{IN} = 0$ to $5\text{V}$	-20	<1.0	20	$\mu\text{A}$
REF输入电压范围	$V_{REF}$	Operating	0	-	$V_{DD}$	V
REF输入漏电流	$I_{REF}$		-	0	$\pm 3$	$\mu\text{A}$
HOME输出电压	$V_{HOME(1)}$	$I_{HOME(1)} = -200\mu\text{A}$	$0.7 \times V_{DD}$	-	-	V
	$V_{HOME(0)}$	$I_{HOME(0)} = -200\mu\text{A}$	-	-	$0.3 \times V_{DD}$	V
混合衰减模式触发电压	$V_{PFDH}$		-	$0.6 \times V_{DD}$	-	V
	$V_{PFDL}$		-	$0.21 \times V_{DD}$	-	V
增益误差 <sup>3</sup>	$E_G$	$V_{REF} = 2\text{V}$ , Phase Current = 38.27%	-	-	$\pm 10$	%
		$V_{REF} = 2\text{V}$ , Phase Current = 70.71%	-	-	$\pm 5.0$	%
		$V_{REF} = 2\text{V}$ , Phase Current = 100%	-	-	$\pm 5.0$	%
STEP脉宽	$t_w$		1	-	-	$\mu\text{s}$
Blank Time	$t_{BLANK}$	$R_T = 56\text{k}\Omega$ , $C_T = 680\text{pF}$	0.7	0.95	1.2	$\mu\text{s}$
固定衰减时间	$t_{OFF}$	$R_T = 56\text{k}\Omega$ , $C_T = 680\text{pF}$	30	38	46	$\mu\text{s}$
Crossover Dead Time	$t_{DT}$	Synchronous rectification enabled	100	475	800	ns

保护电路						
VDD UVLO Threshold	$V_{UV(VDD)}$	$V_{DD}$ rising	2.45	2.7	2.95	V
VDD Hysteresis	$V_{UV(VDD)hy}$		50	100	–	mV
Thermal Shutdown Temperature	$T_{JTSD}$		–	150	–	°C
Thermal Shutdown Hysteresis	$T_{JTSDhys}$		–	15	–	°C

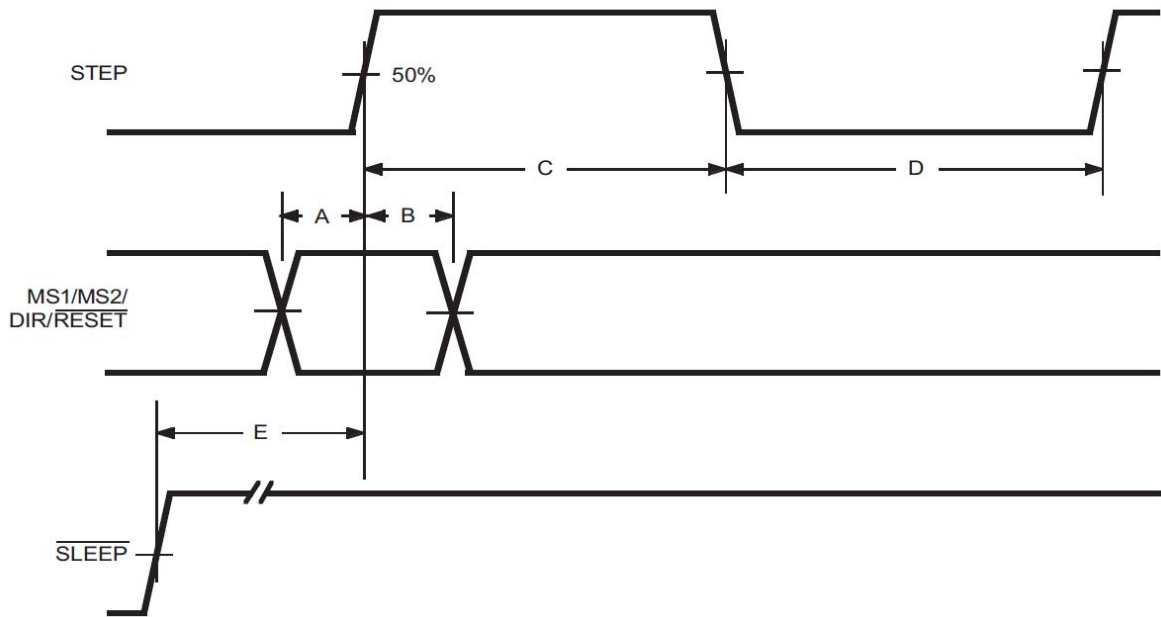
<sup>1</sup>参数典型值只是指原始设计的设定值，是在优化了工艺条件和应用条件的情况下的值。实际应用中测试参数可能会偏离典型值，但在最大值和最小值间。

<sup>2</sup>负电流定义是针对特殊的电流流出的pin脚。

$$^3E_G = [(V_{REF/8}) - V_{SENSE}] / (V_{REF/8}).$$

电路控制信号时序上的要求:

( $T_A = +25^{\circ}\text{C}$ ,  $V_{DD} = 5\text{ V}$ , Logic Levels are  $V_{DD}$  and Ground)



- A. Minimum Command Active Time  
Before Step Pulse (Data Set-Up Time) ..... 200 ns
- B. Minimum Command Active Time  
After Step Pulse (Data Hold Time)..... 200 ns
- C. Minimum STEP Pulse Width ..... 1.0 ns
- D. Minimum STEP Low Time ..... 1.0 ns
- E. Maximum Wake-Up Time ..... 1.0 ms

图1. 逻辑控制接口的时序图

表1: 微步进控制逻辑真值表

MS1	MS2	Microstep Resolution	Excitation Mode
L	L	全步进	2 Phase
H	L	1/2步进	1/2 Phase
L	H	1/4 步进	W 1/2 Phase
H	H	1/16 步进	4W 1/2 Phase

## 模块功能描述

**器件工作:** HR3979是一款内置TRANSLATOR的用于双极步进电机的微步进电机驱动集成电路，能驱动双极马达以全、1/2、1/4及1/16步进运行。其中流过每个半桥的电流都由一个有固定截止时间的PWM电路控制，以限制其负载电流在一个设定值。在每一个步进，流过电机的电流由外部的电流采样电阻 $R_S$ 、外部参考电压 $V_{REF}$ 以及DAC的输出电压决定。而DAC的输出电压由TRANSLATOR的逻辑输出进行精确控制，产生类似正弦波的台阶电压输出。

当电路上电或重启时，TRANSLATOR将DAC的输出和相位电流设定为HOME输入对应的初始状态，将两相整流电路都设置为混合衰减模式；当STEP信号上升沿高电位触发时，DAC自动进入下一个台阶，相应的马达电流也作对应的调整；电流的大小由表2列表所示。电机的微步进控制由MS1、MS2设定，具体真值表见表1。

当STEP上升沿触发时，如果下一级的DAC输出低于当前一级的输出，电路进入PFD输入电压决定的衰减模式（快衰、慢衰或混合衰减）；如果下一级的DAC输出高于当前一级的输出，电路只能进入慢衰减模式。电流衰减模式的自动切换增强了马达运转的稳定性，减小了马达运转的噪音。

**上电输入 (nRESET):** RESET输入（低电位有效）使得TRANSLATOR恢复初始状态，关断所有DMOS输出，HOME输出变为低电平，此时STEP输入无效，直到RESET冲洗变为高电平为止。

**HOME输出 (HOME):** HOME是TRANSLATOR的初始状态的输出显示器，电路上电时，TRANSLATOR将电机置位为初始状态。

**STEP输入:** STEP信号高电平触发有效，通过TRANSLATOR控制，每个STEP高电平触发使得电机有一个步进的变化。TRANSLATOR控制DAC的输入和流过马达线圈的电流方向；每一步进的电流大小和转动角度由MS1和MS2输入逻辑电平控制。具体逻辑控制真值表见表1。

**微步进方式选择 (MS1、MS2):** MS1和MS2决定微步进的控制方式，具体逻辑控制真值表见表1。MS1、MS2的任何变化在下一个STEP上升沿到来之前对电路不产生影响；

**步进控制:** 步进控制信号有步进输入 (STEP)、步进模式逻辑输入 (MS1, MS2) 以及方向控制信号 (DIR)。每一次上电或复位 (RESET=0) 后，在内置译码器的作用下将H桥的输出预置到HOME输入所对应的输出状态，然后当STEP输入的上升沿到来后，内置译码器将根据步进逻辑的输入值（步进模式见表Table1）控制H桥的输出，使电机在当前步进模式下产生一次步进。步进的方向由DIR的输入逻辑控制，其高、低电平分别控制双相电机正反转。

步进的方向由DIR的输入逻辑控制，其高、低电平分别控制双相电机正反转。全步进转过的角度为 $45^\circ$ 。

**内部PWM电流控制:** 每一个H桥都有一个有固定截止时间的PWM电流控制电路，以限制其负载电流在一个设计值。初始时，对角线上的一对源接收DMOS（一对上下桥臂）处于输出状态，电流流经电机绕组和SENCE脚所接的电流取样电阻（见图1）。当取样电阻上的压降等于DAC的输出电压时，电流取样比较器将PWM锁存器复位，从而关断源驱动器（上桥臂），进入慢衰减模式；或同时关断源接收驱动器（上下桥臂）进入快或混合衰减模式，使产生环流或电流回流至源端。该环流或回流将持续衰减至固定截止时间结束为止。然后，正确的输出桥臂被再次启动，电机绕组电流再次增加，整个PWM循环完成。其中，最大限流 $I_{MAX}$ 是由取样电阻 $R_S$ 和电流取样比较器的输入电平 $V_{REF}$ 控制的：

$$I_{TRIPmax} = V_{REF} / 8R_S$$

每步的实际电流为最大电流的百分比，近似为：

$$I_{TRIP} = (\%I_{TRIPmax}/100)T_{TRIPmax}$$

注意：SENSE脚上的最大电压不能超过0.5V。对全步进，由于DAC的输出信号为 $0.707 \cdot V_{REF}/8$ ，此时 $V_{REF}$ 输入可以达到VDD，但在其他步进制式， $V_{REF}$ 不能大于4V。

**固定衰减时间 $t_{OFF}$ :** RC1和RC2引脚是为内部PWM电路提供固定截止时间的。HR3979的内部PWM控制电路是用一个脉冲来控制器件的截止时间的。而这个脉冲的—84—截止时间 $t_{off}$ 就是由RC1和RC2引脚对地所接的电阻 $R_T$ 和电容 $C_T$ 决定的，即：

$$t_{OFF} = R_T C_T$$

式中，电阻 $R_T$ 和电容 $C_T$ 的取值范围分别为12~100k  $\Omega$ 及470~1500pF。

另外，除了可以为内部PWM控制提供截止时间外， $C_T$ 还为比较器提供了关断时间 $t_{BLANK}$ 。HR3979的设计要求其输出由内部电流控制电路切换时，电路取样比较器的输出是被禁止的。从而可以防止对过电流检测作出误判断。 $t_{BLANK}$ 的取值为：

$$t_{BLANK} = 1400 C_T,$$

**电流衰减模式控制:** HR3979具有自动检测电流衰减及选择电流衰减模式功能，从而能给微步进提供最佳的正弦电流输出。电流衰减模式由PFD的输入进行控制，其输入电平的高低控制输出电流处于慢、快及混合衰减模式。如果PFD的输入电压高于 $0.6V_{DD}$ ，则选择慢衰减模式。如果PFD的输入电压低于 $0.21V_{DD}$ ，则选择快衰减模式。处于二者之间的PFD电平值将选择混合衰减模式。其中混合衰减模式将一个PWM周期的固定截止时间分为快、慢两个衰减部分。当电流达到最大限流 $I_{max}$ 后，系统将进入快衰减模式直至SENSE上的取样电压衰减至PFD的端电压 $V_{PFD}$ 。经过 $t_{FD}$ 的快衰减后，器件将切换至慢衰减模式直至固定截止时间结束。其中，器件工作在快衰减模式的时间 $t_{FD}$ 为：

$$t_{FD} = R_T * C_T * \ln(0.6V_{DD} / V_{PFD})$$

**电荷泵 (CP1和CP2):** 电荷泵用来生成一个高于VBB的电压，去驱动输出高端DMOS的栅。一个0.22uF的陶瓷电容接在CP1、CP2之间，实现泵电荷的目的。一个0.22uF陶瓷电容接在VCP、VBB之间，用来存储电荷，去驱动高端DMOS器件。

**马达转动方向控制 (DIR):** IDR输入控制马达的转动方向，在STEP信号上升沿触发到来之前，任何DIR上的变动都对电路不产生影响；

**SHUTDOWN 关断:** 当电路发生过温保护或者发生VCP的欠压闭锁时，SHUTDOWN功能正常工作，此时电路的正常功能被禁止，直到电路脱离SHUTDOWN条件。

**输出关断(nENABLE):** 在结温过高、VCP电压过低的错误状态，芯片输出被关断直到错误状态解除。当芯片上电时，因VDD、或VBB电压过低，芯片输出级也处于被关断状态。

**SHUTDOWN 关断:** 当电路发生过温保护或者发生VCP的欠压闭锁时，SHUTDOWN功能正常工作，此时电路的正常功能被禁止，直到电路脱离SHUTDOWN条件。

在电路上电过程中，VDD电压还没有达到电压阈值时，VDD的欠压闭锁电路使输出DMOS电路全部关断，HOME输出被设置为初始状态。

**VREG:** 电路内部产生的基准电压，用于低端门级驱动的DMOS电源。VREG外部必须通过一个0.22uF电容耦合到地。VREG作为内部电路的一个监视器，当内部VREG没有正常工作时，DMOS器件输出被禁止。

**休眠模式 (nSLEEP):** 当SLEEP引脚输入为低电平时，器件将进入休眠模式，从而大大降低器件空闲的功耗。进入休眠模式后器件的大部分内部电路包括DMOS输出电路、调节器及电荷泵等都将停止工作。当其输入翻转为高电平时，系统恢复到正常的操作状态并将器件的输出预置到HOME状态，为了内部电荷泵恢复稳定工作，在SLEEP恢复高电平并延时1ms后STEP信号才能起作用。

**同步整流控制 (SR):** 同步整流控制是由SR的逻辑输入控制的。当SR输入为低电平时，同步整流功能将被启动。此期间，当检测到电流为零值时，可通过关闭同步整流功能来防止负载电流反向，从而防止了电机绕组反方向导通。而当SR输入为高电平时，同步整流将被禁止。



## 电路应用信息

**版图注意事项:** PCB板上硬覆设大块的散热片，地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能，芯片应该直接紧贴在散热片上。

对电极电源VBB，应该连接不小于47uF的电解电容对地耦合，电容应尽可能的靠近器件摆放。

为了避免因高速dv/dt变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。

逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

**地线设置:** AGND和PGND的连线必须在芯片外部短接。所有的地线都应连接在一起，且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆线，将是一个优化的设计。

**电流取样设置:** 为了减小因为地线上的寄生电阻引起的误差，引起的误差。单独的地线最终要连接到星状分布的地线总线上，该连线要尽可能的短，

对小阻值的Rs，由于Rs上的压降 $V=I \cdot R_s$ 小于0.5V，PCB上的连线压降与0.5V的电压将显得不可忽视，这一点要考虑进去。

PCB尽量避免使用测试转接插座，测试插座的连接电阻可能会改变Rs的大小，对电路造成误差。Rs值的选择遵循下列公式：

$$R_s = 0.5 / I_{TRIPmax}$$

**热保护:** 当内部电路结温超过150°C时，过温模块开始工作，关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题，而不对输出短路的情况产生影响。热关断的阈值窗口大小为15°C。

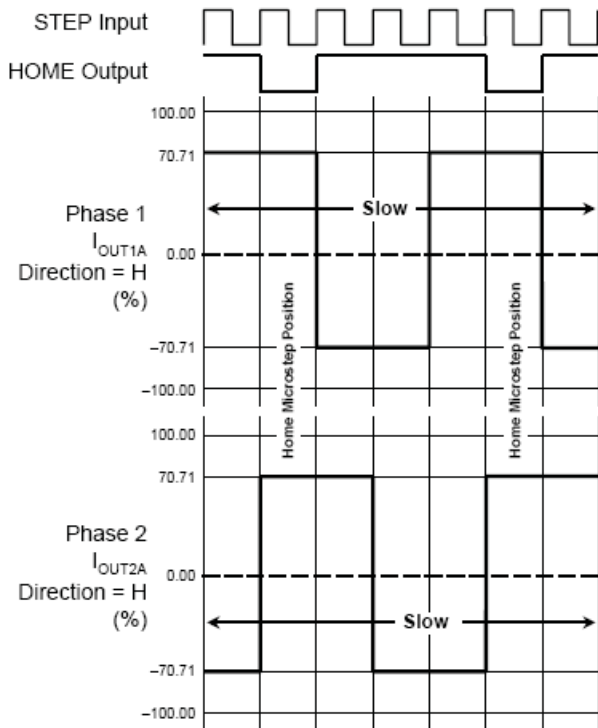


Figure 2. Decay Mode for Full-Step Increments

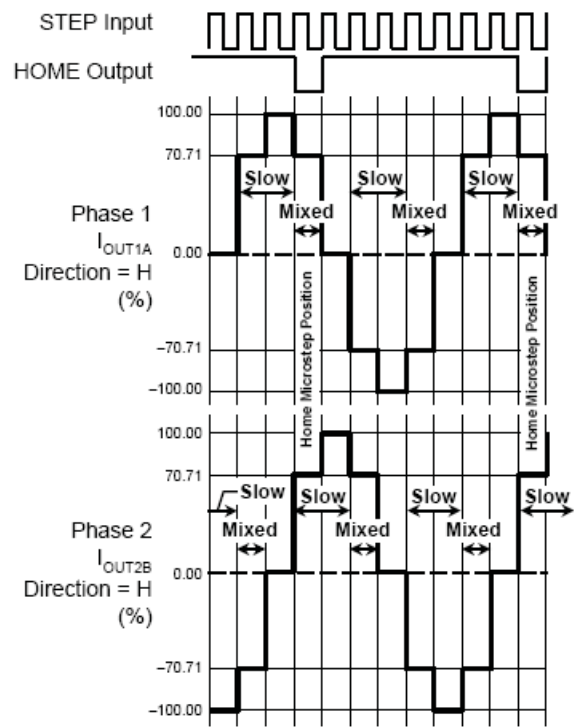


Figure 3. Decay Modes for Half-Step Increments

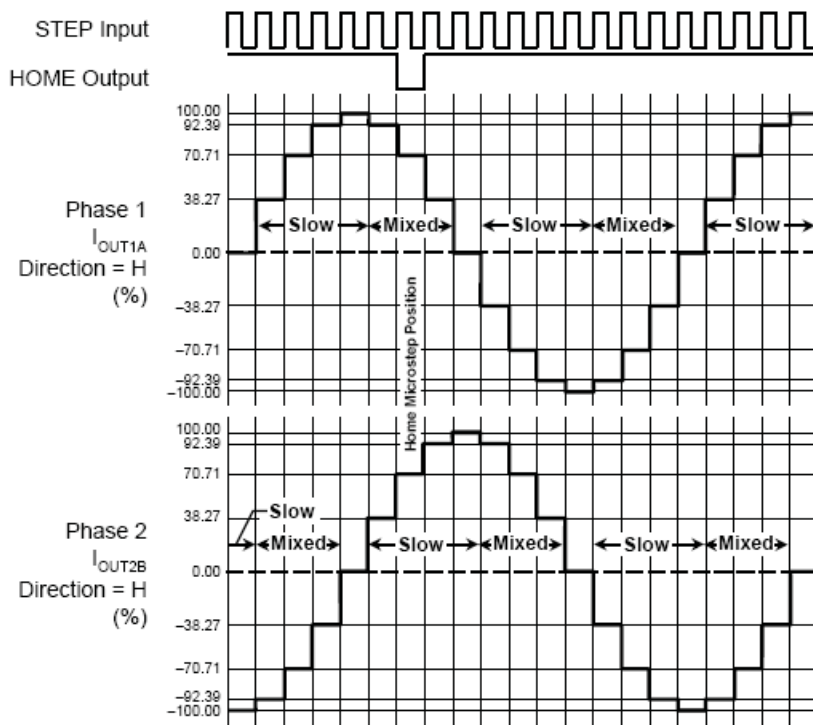


Figure 4. Decay Modes for Quarter-Step Increments

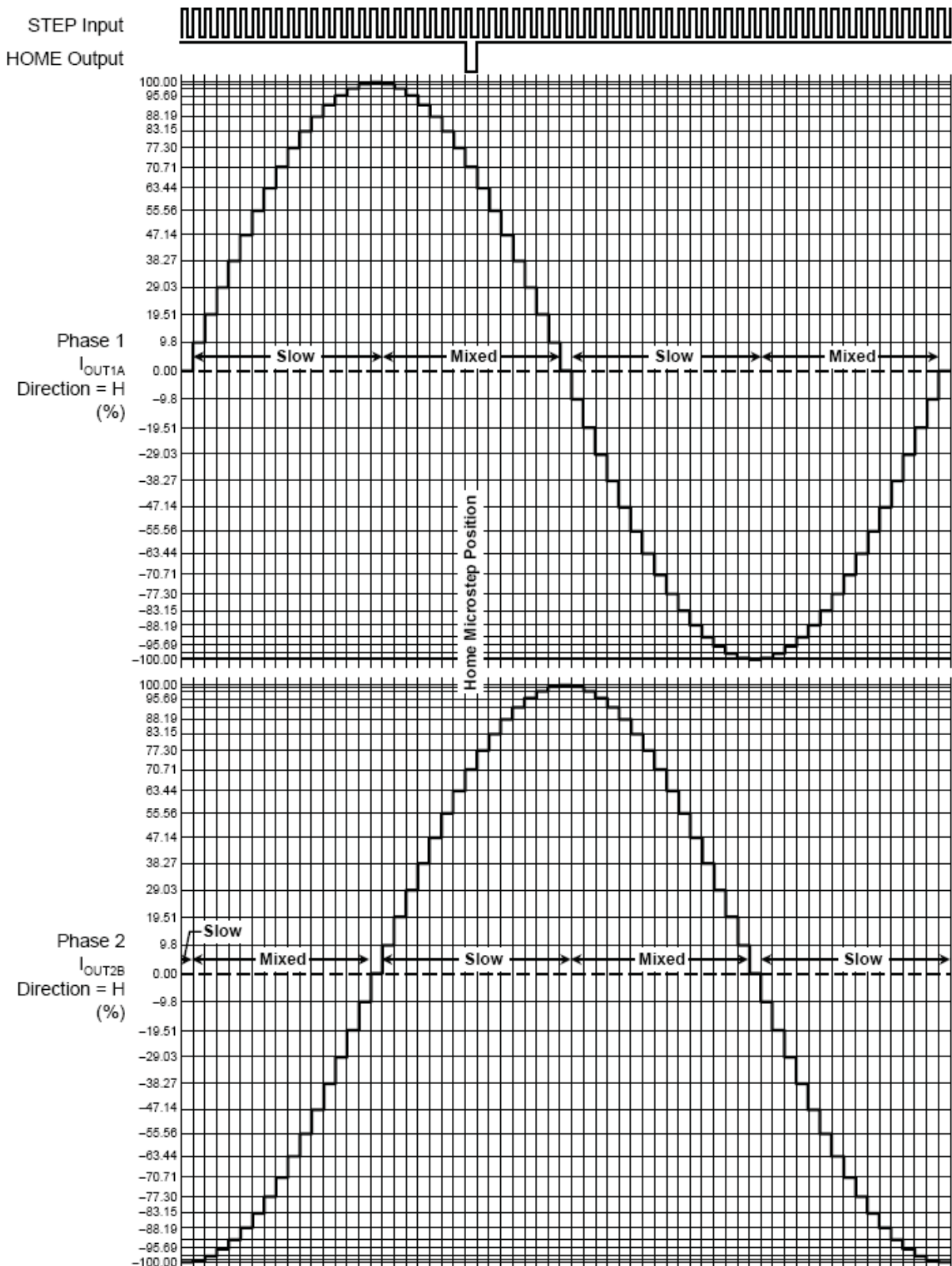


Figure 5. Decay Modes for Sixteenth-Step Increments

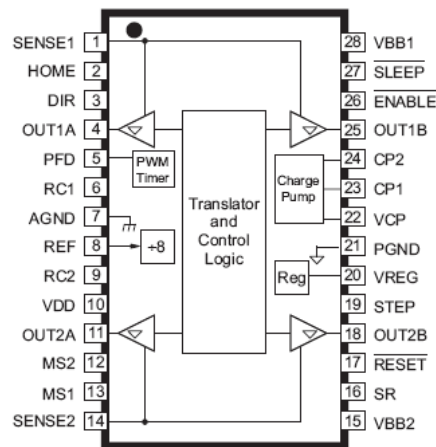
Table 2. Step Sequencing Settings

马达初始状态时转矩角是45°; DIR = H; 360° = 4 full steps.

Full Step #	Half Step #	1/4 Step #	1/16 Step #	Phase 1 Current [% ItripMax]	Phase 2 Current [% ItripMax]	Step Angle	Full Step #	Half Step #	1/4 Step #	1/16 Step #	Phase 1 Current [% ItripMax]	Phase 2 Current [% ItripMax]	Step Angle
	1	1	1	100.00	0.00	0.0							
			2	99.52	9.80	5.6							
			3	98.08	19.51	11.3							
			4	95.69	29.03	16.9							
		2	5	92.39	38.27	22.5							
			6	88.19	47.14	28.1							
			7	83.15	55.56	33.8							
			8	77.30	63.44	39.4							
1	2	3	9	70.71	70.71	45.0							
			10	63.44	77.30	50.6							
			11	55.56	83.15	56.3							
			12	47.14	88.19	61.9							
		4	13	38.27	92.39	67.5							
			14	29.03	95.69	73.1							
			15	19.51	98.08	78.8							
			16	9.80	99.52	84.4							
	3	5	17	0.00	100.00	90.0							
			18	-9.80	99.52	95.6							
			19	-19.51	98.08	101.3							
			20	-29.03	95.69	106.9							
		6	21	-38.27	92.39	112.5							
			22	-47.14	88.19	118.1							
			23	-55.56	83.15	123.8							
			24	-63.44	77.30	129.4							
2	4	7	25	-70.71	70.71	135.0							
			26	-77.30	63.44	140.6							
			27	-83.15	55.56	146.3							
			28	-88.19	47.14	151.9							
		8	29	-92.39	38.27	157.5							
			30	-95.69	29.03	163.1							
			31	-98.08	19.51	168.8							
			32	-99.52	9.80	174.4							
								5	9	33	-100.00	0.00	180.0
										34	-99.52	-9.80	185.6
										35	-98.08	-19.51	191.3
										36	-95.69	-29.03	196.9
									10	37	-92.39	-38.27	202.5
										38	-88.19	-47.14	208.1
										39	-83.15	-55.56	213.8
										40	-77.30	-63.44	219.4
							3	6	11	41	-70.71	-70.71	225.0
										42	-63.44	-77.30	230.6
										43	-55.56	-83.15	236.3
										44	-47.14	-88.19	241.9
									12	45	-38.27	-92.39	247.5
										46	-29.03	-95.69	253.1
										47	-19.51	-98.08	258.8
										48	-9.80	-99.52	264.4
								7	13	49	0.00	-100.00	270.0
										50	9.80	-99.52	275.6
										51	19.51	-98.08	281.3
										52	29.03	-95.69	286.9
									14	53	38.27	-92.39	292.5
										54	47.14	-88.19	298.1
										55	55.56	-83.15	303.8
										56	63.44	-77.30	309.4
							4	8	15	57	70.71	-70.71	315.0
										58	77.30	-63.44	320.6
										59	83.15	-55.56	326.3
										60	88.19	-47.14	331.9
									16	61	92.39	-38.27	337.5
										62	95.69	-29.03	343.1
										63	98.08	-19.51	348.8
										64	99.52	-9.80	354.4

## Pin-out Diagrams

## Pin-out Diagram

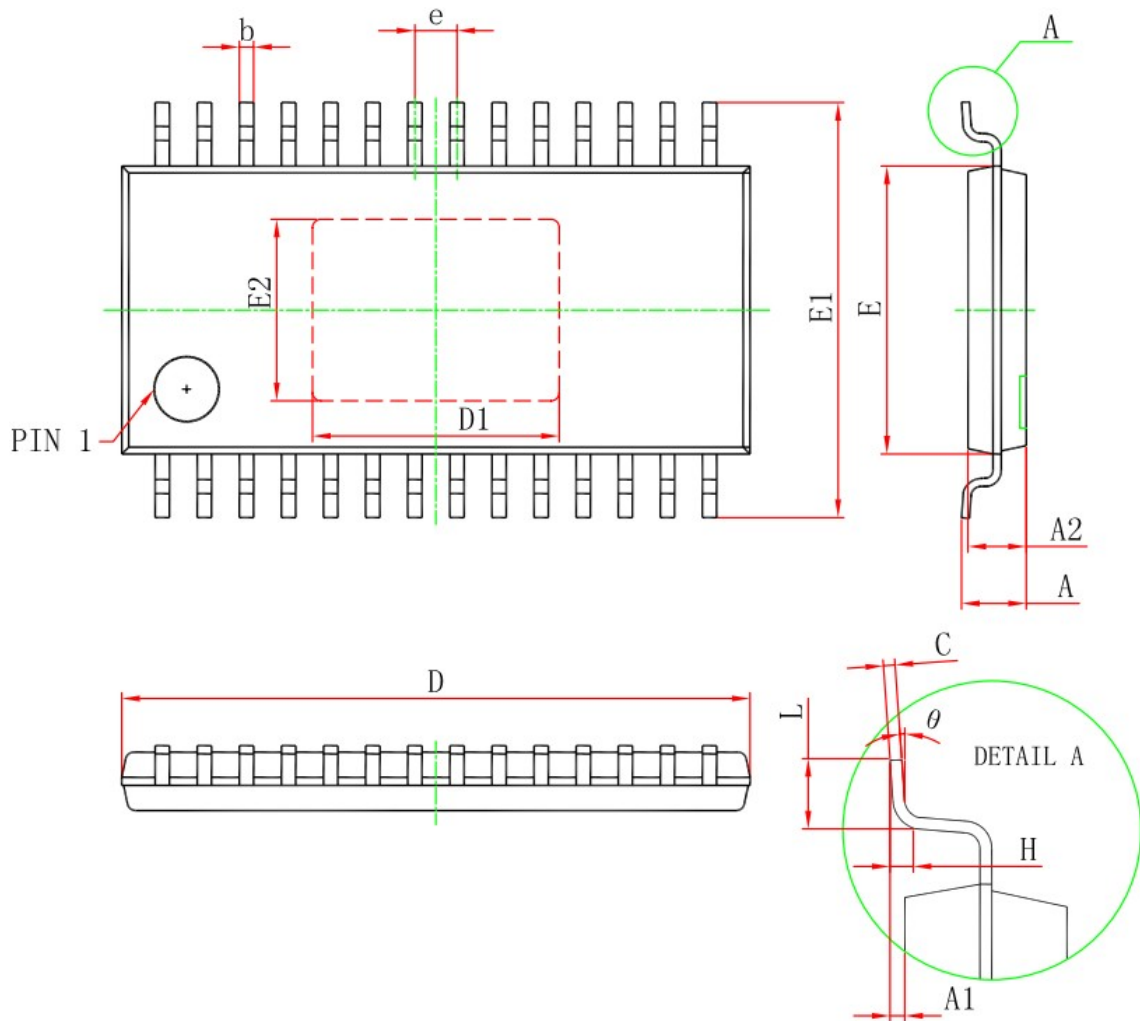


AGND and PGND must be connected together externally

Terminal List Table

Number	Pin Name	Pin Description
1	SENSE1	Sense resistor for bridge 1
2	HOME	Logic output
3	DIR	Logic Input
4	OUT1A	DMOS H bridge 1 output A
5	PFD	Mixed decay setting
6	RC1	Analog Input for fixed offtime – bridge 1
7	AGND	Analog ground
8	REF	Gm reference input
9	RC2	Analog input for fixed offtime – bridge 2
10	LOGIC SUPPLY	VDD, the logic supply voltage
11	OUT2A	DMOS H bridge 2 output A
12	MS2	Logic input
13	MS1	Logic input
14	SENSE2	Sense resistor for bridge 2
15	LOAD SUPPLY2	VBB2, the load supply for bridge 2
16	SR	Logic input
17	\RESET	Logic input
18	OUT2B	DMOS H bridge 2 output B
19	STEP	Logic input
20	VREG	Regulator decoupling
21	PGND	Power ground
22	VCP	Reservoir capacitor
23	CP1	Charge pump capacitor
24	CP2	Charge pump capacitor
25	OUT1B	DMOS H bridge 1 output B
26	\ENABLE	Logic input
27	\SLEEP	Logic input
28	LOAD SUPPLY1	VBB1, the load supply for bridge 1

TSSOP28 with Exposed Thermal Pad



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	9.600	9.800	0.378	0.386
D1	3.710	3.910	0.146	0.154
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
E2	2.700	2.900	0.106	0.122
A		1.100		0.043
A2	0.800	1.000	0.031	0.039
A1	0.020	0.150	0.001	0.006
e	0.65 (BSC)		0.026 (BSC)	
L	0.500	0.700	0.02	0.028
H	0.25 (TYP)		0.01 (TYP)	
θ	1°	7°	1°	7°